



Docket No. 1232-5165

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): OISHI, et al.

Group Art Unit: TBA

Serial No.: 10/669,285

Examiner: TBA

Filed: September 24, 2003

For: POSITION DETECTING METHOD AND APPARATUS

CERTIFICATE OF MAILING (37 C.F.R. §1.8(a))

Mail Stop
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

I hereby certify that the attached:

1. Claim to Convention Priority w/document
2. Certificate of Mailing
3. Return postcard receipt

along with any paper(s) referred to as being attached or enclosed and this Certificate of Mailing are being deposited with the United States Postal Service on date shown below with sufficient postage as first-class mail in an envelope addressed to the: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Respectfully submitted,
MORGAN & FINNEGAN, L.L.P.

Dated: November 12, 2003

By: _____

Helen Tiger

Correspondence Address:

MORGAN & FINNEGAN, L.L.P.
345 Park Avenue
New York, NY 10154-0053
(212) 758-4800 Telephone
(212) 751-6849 Facsimile



CUSTOMER NO. 27123

Docket No. 1232-5165

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): OISHI, et al.

Group Art Unit: TBA

Serial No.: 10/669,285

Examiner: TBA

Filed: September 24, 2003

For: POSITION DETECTING METHOD AND APPARATUS

CLAIM TO CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In the matter of the above-identified application and under the provisions of 35 U.S.C. §119 and 37 C.F.R. §1.55, applicant(s) claim(s) the benefit of the following prior application(s):

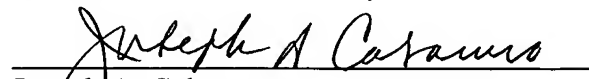
Application(s) filed in: Japan
In the name of: Canon Kabushiki Kaisha
Serial No(s): 2002-277495
Filing Date(s): September 24, 2002

- ☒ Pursuant to the Claim to Priority, applicant(s) submit(s) a duly certified copy of said foreign application.
- ☐ A duly certified copy of said foreign application is in the file of application Serial No. _____, filed _____.

Dated: November 11, 2003

By:

Respectfully submitted,
MORGAN & FINNEGAN, L.L.P.


Joseph A. Calvaruso
Registration No. 28,287

Correspondence Address:
MORGAN & FINNEGAN, L.L.P.
345 Park Avenue
New York, NY 10154-0053
(212) 758-4800 Telephone
(212) 751-6849 Facsimile

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 2 4 日
Date of Application:

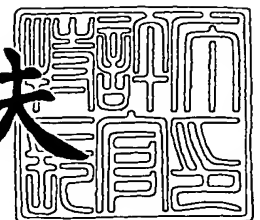
出 願 番 号 特 願 2 0 0 2 - 2 7 7 4 9 5
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 7 7 4 9 5]

出 願 人 キヤノン株式会社
Applicant(s):

2 0 0 3 年 1 0 月 1 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 4681013

【提出日】 平成14年 9月24日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 21/027
G03F 7/20

【発明の名称】 位置検出方法および位置検出装置

【請求項の数】 9

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【氏名】 大石 哲

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【氏名】 鈴木 武彦

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キャノン株式会社

【代表者】 御手洗 富士夫

【電話番号】 03-3758-2111

【代理人】

【識別番号】 100090538

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【弁理士】

【氏名又は名称】 西山 恵三

【電話番号】 03-3758-2111

**【選任した代理人】****【識別番号】** 100096965**【住所又は居所】** 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会社
社内**【弁理士】****【氏名又は名称】** 内尾 裕一**【電話番号】** 03-3758-2111**【手数料の表示】****【予納台帳番号】** 011224**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9908388**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 位置検出方法および位置検出装置

【特許請求の範囲】

【請求項 1】 複数の位置検出用マーク信号からマークの位置を検出する位置検出方法であって、位置検出のために必要なパラメータを有する第1の処理部と、前記第1の処理結果に基づいて行う第2の処理部を有し、前記第2の複数の処理結果から、所定の評価基準に従って、前記第1の処理のパラメータを決定することを特徴とする位置検出方法および位置検出装置。

【請求項 2】 請求項 1 項記載の位置検出方法および装置が、半導体露光装置のアライメントに適用されていることを特徴とする位置検出方法および位置検出装置。

【請求項 3】 前記第1の処理は、ゼロ位相フィルタ処理であり、かつ前記第1の処理のパラメータはフィルタの次数であることを特徴とする請求項 1 項記載の位置検出方法。

【請求項 4】 前記第1の処理は、ゼロ位相フィルタ処理であり、かつ前記第1の処理のパラメータはフィルタの次数であることを特徴とする請求項 2 項記載の位置検出方法。

【請求項 5】 前記第1の処理は、多項式近似処理であり、かつ前記第1の処理のパラメータは多項式の次数であることを特徴とする請求項 1 項記載の位置検出方法。

【請求項 6】 前記第1の処理は、多項式近似処理であり、かつ前記第1の処理のパラメータは多項式の次数であることを特徴とする請求項 2 項記載の位置検出方法。

【請求項 7】 前記第2の処理は、信号のエッジを検出する処理であることを特徴とする請求項 3 あるいは 4, 5, 6 記載の位置検出方法。

【請求項 8】 前記所定の評価基準とは、設計値として一定のピッチで配置した複数のエレメントで構成したマークに対して、前記第 2 の処理で検出された複数のエッジから得られるマーク位置の間隔の設計値からのばらつきが、所定の閾値を下回る場所とすることを特徴とする請求項 7 記載の位置検出方法。

【請求項 9】 前記設計値が、レジストパターンでの較正值を使用したことを特徴とする請求項 8 項記載の位置検出方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は例えば半導体製造用の露光装置において第 1 物体のレチクル面上に形成されている IC, LSI, VLSI 等の微細な電子回路パターンと第 2 物体のウエハの相対的な位置合わせ（アライメント）を行う為の位置検出方法及び露光装置に関するものである。本発明は特にウエハプロセス誤差である WIS (Wafer Induced shift) を発生しうる状況においても、アライメントを高精度に行う必要のある位置検出方法及び露光装置に関する。

【 0 0 0 2 】

【従来の技術】

半導体デバイス製造用の投影露光装置においては、回路の微細化及び高密度化に伴い、レチクル面上の回路パターンをウエハ面上により高い解像力で投影露光できることが要求されている。回路パターンの投影解像力は投影光学系の開口数 (NA) と露光波長に依存するので、高解像度化の方法としては、投影光学系の NA を大きくする方法や露光波長をより短波長化する方法が採用されている。後者の方法に関し、露光光源は、g 線から i 線に移行し、更に i 線からエキシマレーザに移行しつつある。また、エキシマレーザにおいても、その発振波長が 248nm 及び 193nm の露光装置が既に実用化され使用されている。

【 0 0 0 3 】

現在では発振波長を更に短波長化した、波長 157nm の VUV の露光方式、13nm の EUV 露光方式が次世代の露光方式の候補として検討されている。

【 0 0 0 4 】

また、半導体デバイスの製造プロセスも多様化しており、露光装置の深度不足の問題を解決する平坦化技術として、W-CMP (Tungsten Chemical Mechanical Polishing) プロセス等の技術も注目されている。また、半導体デバイスの構造や材料も多種多様であり、例えば、GaAs、InP 等の化合物を組み合わせで構成した P-H

EMT(Pseudomorphic High Electron Mobility Transistor)やM-HEMT(Metamorphic-HEMT)や、SiGe、SiGeC等を使用したHBT (Heterojunction Bipolar Transistor)が提案されている。

【 0 0 0 5 】

一方、回路パターンの微細化に伴い、回路パターンが形成されているレチクルとそれが投影されるウエハとを高精度にアライメントすることも要求されており、その必要精度は回路線幅の1/3であり、例えば、現状の180 nmデザインにおける必要精度はその1/3の60nmである。

【 0 0 0 6 】

露光装置におけるアライメント方法としては、ウエハ上に構成されるアライメントマークの光学像をCCDカメラ等の撮像素子上に結像し、その電気信号を画像処理しウエハ上のマークの位置検出を行っている。

【 0 0 0 7 】

一般にレチクルとウエハとのアライメントを行う際にアライメント精度を劣化させる大きな要因として、

- (1) レジストのアライメントマーク近傍での膜厚の不均一性
- (2) アライメントマークの形状の非対称性

が挙げられている。これらウエハに起因するアライメント誤差要因のことをWIS (Wafer Induced Shift) と呼んでいる。

【 0 0 0 8 】

【発明が解決しようとする課題】

露光装置の三大性能のひとつ、実素子ウエハでの重ね合わせ精度を向上させることは、半導体素子の性能および、製造の歩留まりを向上させるために必須の課題と言える。しかしながら、CMP(Chemical Mechanical Polishing)プロセスなど特殊な半導体製造技術の導入により、回路パターンの構造は良いが、位置検出用マークに欠陥が発生する問題が発生するようになった。これは、回路パターンの微細化に伴い、回路パターンとアライメントマークの線幅の差が大きくなって、成膜や、エッチング、CMPなどのプロセス条件が微細な回路パターン（線幅0.1～0.15 μ m）には最適化されているが、線幅の大きなアライメントマーク（線幅0.6

～4.0 μ m)には最適化されていないために生じる場合が多い。

【0 0 0 9】

アライメントマークの線幅を回路パターンの線幅に合わせようとする、アライメントに用いる顕微鏡の分解能が足りないため、信号強度またはコントラストが減少し、アライメント信号の安定性が悪化する。回路パターンと同等の線幅のアライメントマークを検出できる顕微鏡にするには、大きなNA、短い波長のアライメント光源が必要となり、投影光学系なみの顕微鏡になり、装置コストが上がるなど別の問題も新たに発生してしまう。

【0 0 1 0】

現在、このような状況下では、プロセスの条件を変更して、アライメントマークと回路パターンの双方で適切な条件になるように、試行錯誤で条件出しを行ったり、アライメントマークの線幅を何種類か製作して露光評価して、もっとも良いと思われる線幅のアライメントマークを用いるようにしている。

【0 0 1 1】

したがって、最適な条件（パラメータ）を決定するまでに膨大な時間を要していた。また、一旦パラメータが決定された後であっても、例えばウエハプロセス誤差WISが発生した場合には、それに応じた製造プロセスの変更に伴って製造装置のパラメータを再度変更する必要がある場合があり、この場合にも膨大な時間を要する。更に今後は、回路パターンの微細化が進むと共に、新たな半導体プロセスの導入や、ウエハ径の300mm化などにより、回路パターンとアライメントマークの双方をウエハ全面で欠陥無く製造することがますます困難になると予想される。

【0 0 1 2】

図5は、従来の位置検出用マークの検出信号例である。図5の（A）に示されるように複数のマーク生信号からマーク位置を検出するためには、そのマークのエッジを検出する手法が一般によく知られている。

【0 0 1 3】

エッジ検出とは、マーク生信号（A）に対する一次微分（B）の極大、極小となる位置を求める手法であるが、センサからの生信号をそのまま一次微分した場合

、図中 (B) のように高周波ノイズの影響を大きく受けてしまう。そこで、何らかの前処理（フィルタ処理）が必要になってくるが、例えば図中(C)のようにゼロ位相フィルタ処理を行ったあとに、一次微分を行い、エッジ検出を行うことがあげられる。ここで、本実施形態におけるゼロ位相フィルタとは、順方向でフィルタ処理した後、フィルタ処理したデータ列を逆にして、再度フィルタリングを行うことと定義する。従って、ゼロ位相フィルタによって得られるデータ列は、厳密に位相歪みがゼロになり、図5における紙面横軸の位相情報は不変となる。

【0014】

このとき、ゼロ位相フィルタのパラメータ（次数）をいくつに決定するかは、明確な判定基準はなく、例えば、マーク生信号とフィルタ処理後の信号とを波形レベルで比較して、残差の二乗和を最小にする手法や、両者の周波数特性を比較して高周波ノイズ成分が除去されているか確認する方法などにより、最適なパラメータ（次数）を決定しているのが現状である。

【0015】

ただし、このときウエハプロセス誤差WISなどの影響でマークの生信号が低周波成分でだまされていたとすると、このフィルタ後の信号にも歪成分が残るため、そのWISがエッジ検出、最終的にはマーク位置検出にまで影響を及ぼすことになる。

【0016】

【課題を解決するための手段】

本発明は、上記の背景に鑑みてなされたものであり、その目的は、アライメントマークの欠陥や、レジスト塗布むらなどのウエハプロセス誤差WISがあった場合でも、フィルタ処理に代表される前処理のパラメータを決定する際に必要な評価基準を提案し、正確かつ迅速にアライメントが実行できる位置検出方法を提供することにある。

【0017】

この目的を達成するために、本発明にかかる位置検出方法は、
複数の位置検出用マーク信号からマークの位置を検出する位置検出方法であって、位置検出のために必要なパラメータを有する第1の処理部と、第1の処理結果

に基づいて行う第2の処理部を有し、第2の複数の処理結果から、所定の評価基準に従って、第1の処理のパラメータを決定することを特徴とする位置検出方法である。

【0018】

本発明のさらに詳細な形態は、第1の処理は、ゼロ位相フィルタ処理であり、かつ第1の処理のパラメータはフィルタの次数であることを特徴とする位置検出方法である。

【0019】

また本発明にかかる別の形態は、第1の処理は、多項式近似処理であり、かつ第1の処理のパラメータは多項式の次数であることを特徴とする位置検出方法でもある。

【0020】

また、第2の処理は、信号のエッジを検出する処理であることを特徴とし、所定の評価基準とは、設計値として一定のピッチで配置した複数のエレメントで構成したマークに対して、第2の処理で検出された複数のエッジから得られるマーク位置の間隔の設計値からのばらつきが、所定の閾値を下回る場所とすることを特徴とする位置検出方法である。

【0021】

【発明の実施の形態】

以下、添付図面を参照しながら本発明の好適な実施形態を説明する。

【0022】

図1は本発明の半導体露光装置の概略図である。なお、本発明のポイントとなる部分以外は図示していない。露光装置1は、ある回路パターンを描画されたレチクル10を縮小投影する縮小投影光学系11と前工程で下地パターンおよびアライメントマークの形成されたウエハ12を保持するウエハチャック13とウエハ12を所定の位置に位置決めするウエハステージ14と、ウエハ上のアライメントマークの位置を計測するアライメント検出光学系15等から構成されている。

【0023】

次に、アライメント検出の原理について説明する。図2はアライメント検出光学系15の主要構成要素を示したものである。光源18からの照明光は、ビームスプリッタ19で反射し、レンズ20を通り、ウエハ12上のアライメントマーク30を照明する。アライメントマーク30からの回折光はレンズ20、ビームスプリッタ19、レンズ21を通り、ビームスプリッタ22で分割され、それぞれCCDセンサ23, 24で受光させる。ここで、アライメントマーク30は、レンズ20, 21により100倍程度の結像倍率で拡大され、CCDセンサ23, 24に結像される。CCDセンサ23, 24はそれぞれ、アライメントマーク30のX方向のずれ計測用、アライメントマーク30のY方向のずれ計測用になっており、光軸に対して、90度回転させて設置している。

【0024】

X方向とY方向の計測原理は同じなので、以下はX方向の位置計測について説明する。

【0025】

次に位置検出用のアライメントマークについて説明する。

【0026】

図3のように、計測方向（X方向）に $4\mu\text{m}$ 、非計測方向（Y方向）に $30\mu\text{m}$ の短冊型の位置検出用マークが、X方向にある設計値（ $L=20\mu\text{m}$ ）間隔で複数本並んでいる。マークの断面構造はエッチング処理によって、凹形状をしている。なお実際は、そのマーク上にレジストが塗布されているが、図示していない。

【0027】

次に、この複数の位置検出用マークに対して、照明光を照射して得られる反射光をCCDセンサによって受光した結果を図4に示す。図4のような4本のマーク信号に対して、適切な信号処理を行い、それぞれのマーク位置（紙面左から順にM1、M2、M3、M4）を検出するものである。

【0028】

本発明における第1の実施形態は、位置検出用マークの生信号に対して、ゼロ位相フィルタ処理を行い、得られたフィルタ処理後の波形からエッジを求める方式である。なお、フィルタ処理後の波形からエッジを求める方式はいくつかあげられるが、例えば、一次微分の波形に対する極大、極小位置付近の数点をガウス

関数で近似して極大、極小位置をサブピクセル精度で求めてもよい。

【0 0 2 9】

ここで一次微分とは、具体的には離散的なデータ Y_i に対して処理されるものであるため、正確には差分である。なお、 Y_i における微分値 Y'_i は次式のような近似を用いると微分の評価点がずれないので好ましい。

【外 1】

$$Y'_i = \frac{1}{2} (Y_{i+1} - Y_{i-1}) \quad \dots(1)$$

【0 0 3 0】

図8のフローチャートに従って第1の実施形態を説明すると、ゼロ位相フィルタの次数をパラメータに設定する (S1010)。

【0 0 3 1】

つづいて、第1の処理としてS1020でゼロ位相フィルタ処理を行う。S1030ではゼロ位相フィルタの次数を変えて、フィルタ処理を繰り返す。

【0 0 3 2】

次に、第2の処理として、フィルタ処理後の波形の1次微分から複数のエッジを求め (S1040)、S1050において、S1040で検出された複数のエッジを用いて4つのマーク位置M1、M2、M3、M4を算出し、それぞれのマーク間隔L1、L2、L3を求める。

【0 0 3 3】

ゼロ位相フィルタ処理の次数をパラメータとして、上記マーク間隔L1、L2、L3をプロットしたものを図6に示す。

【0 0 3 4】

さらに、ゼロ位相フィルタ処理の次数をパラメータとして、評価基準であるマーク間隔の設計値LからのばらつきINDを式 (2) のように定義する。

【外 2】

$$IND \equiv \sqrt{\frac{(L1-L)^2 + (L2-L)^2 + (L3-L)^2}{3}} \quad \dots(2)$$

【0035】

なお、第1の実施形態は、位置検出用マークが4つなので、マーク間隔は3つであるが、一般にN個のマーク間隔に対しては、INDは式(3)のように定義される。

【外3】

$$IND \equiv \sqrt{\frac{\sum_{i=1}^N (L_i - L)^2}{N}} \quad \dots (3)$$

【0036】

ゼロ位相フィルタ処理の次数をパラメータとして、第1の実施形態におけるマーク間隔の設計からのばらつきをプロットしたものを図7に示す。

図7によれば、ゼロ位相フィルタ処理の次数を低次から高次へ上げていった際に、INDが図中Aで示される閾値を下回る値を最適パラメータと決定し、そのパラメータにおけるマーク位置を採用する。

【0037】

なお、図7の場合、パラメータの次数を大きくしすぎると、フィルタ処理後の波形がなまってしまうため、正確にエッジを検出することができなくなる。そのために、逆にマーク間隔の設計値からのずれは大きくなってしまう。したがって、この場合には、最適なパラメータは閾値を下回る値のうちもっとも次数が小さいもの（図7の場合は、次数は4）を選択する。

【0038】

本実施形態を別の見方をすれば、閾値内に入っている処理パラメータ（次数）の中から、最も小さいものを選択しているので、閾値内の必要精度の中では、フィルタ処理の実行時間は最小となっている。

【0039】

従って、アライメントを迅速に実行することができ、スループットを低下させていないことにもなる。

【0040】

（発明のその他の実施例）

次に、本発明の第2の実施形態を説明する。

【0 0 4 1】

第2の実施形態は、マーク生信号に対して、多項式近似を行い、得られた多項式からエッジを求める方式である。なお、多項式からエッジを求める方式は、多項式の2次微分のゼロクロスを求めればいいので、第1の実施形態に比べて、解析的で容易に求まる利点がある。

【0 0 4 2】

つまり、 n 次多項式を

【外 4】

$$F(x) = a_n x^n + a_{n-1} x^{n-1} + a_{n-2} x^{n-2} + \dots + a_0 \quad \dots(4)$$

【0 0 4 3】

と定義すると、その2次微分のゼロクロスは式 (5) を解けばよい。

【外 5】

$$F''(x) = n(n-1)a_n x^{n-2} + (n-1)(n-2)a_{n-1} x^{n-3} + \dots + 2 \cdot a_2 = 0 \quad \dots(5)$$

【0 0 4 4】

図 9 のフローチャートに沿って、第2の実施形態を説明すると、まず、S1010において多項式の次数をパラメータに設定する。次にS1020で多項式近似を行う。S1030では多項式の次数を変えて多項式近似を繰り返す。

【0 0 4 5】

そして、近似して得られた複数の多項式のエッジを2次微分のゼロクロスから求め (S1040)、S1040では、S1040で検出されたエッジを用いて4つのマーク位置M1、M2、M3、M4を算出し、そのマーク間隔L1、L2、L3を求める。さらに、多項式の次数をパラメータとして、評価基準であるマーク間隔の設計値Lからのばらつきを求める。なお、評価基準は第1の実施形態と同様に式 (2) とする。

【0 0 4 6】

第2の実施形態におけるマーク間隔の設計からのばらつきを図 8 に示す。

【0 0 4 7】

INDが図8によれば、多項式の次数を低次から高次へ上げていった際に、図中Aで示される閾値を下回る値のうちもっとも次数の小さい値（図8の場合は、次数は n_6 ）を最適パラメータと決定し、そのパラメータにおけるマーク位置を採用する。

【0048】

次に、本発明の第1の実施形態および第2の実施形態において記載されているマーク間隔の設計値Lについて補足する。

【0049】

今後、さらなるアライメントの高精度化が要求されると、今までは問題とならなかったマーク間隔の設計値からのばらつきの閾値が1nmを問題とするオーダーになる場合が想定される。

【0050】

この場合には、レチクルのマーク描画誤差が無視できなくなるため、一度、アライメントマークが入ったレチクルを露光して、レジスト像の間隔を計測して、その計測値を新たな設計値としてテーブルに持つことが有効である。

【0051】

次に実施形態の方法を利用したデバイスの製造方法の実施形態を説明する。

【0052】

図10は微小デバイス（ICやLSI等の半導体チップ、液晶パネル、CCD、薄膜磁気ヘッド、マイクロマシン等）の製造フローを示す。

【0053】

ステップ1（回路設計）では半導体デバイスの回路設計を行う。ステップ2（マスク製作）では設計した回路パターンを形成したマスクを制作する。一方、ステップ3（ウエハ製造）ではシリコン等の材料を用いてウエハを製造する。ステップ4（ウエハプロセス）では前工程と呼ばれ、上記用意したマスクとウエハを用いて、リソグラフィー技術によってウエハ上に実際の回路を形成する。次にステップ5（組み立て）は後工程と呼ばれ、ステップ4によって作製されたウエハを用いて半導体チップ化する工程であり、アッセンブリ工程（ダイシング、ボンディング）、パッケージング工程（チップ封入）等の工程を含む。ステップ6

(検査)ではステップ5で作製された半導体デバイスの動作確認テスト、耐久性テスト等の検査を行う。こうした工程を経て半導体デバイスが完成し、これが出荷(ステップ7)される。

【0054】

図11は上記ウエハプロセスの詳細なフローを示す。ステップ11(酸化)ではウエハの表面を酸化させる。ステップ12(CVD)ではウエハ表面に絶縁膜を形成する。ステップ13(電極形成)ではウエハ上に電極を蒸着によって形成する。ステップ14(イオン打込み)ではウエハにイオンを打ち込む。ステップ15(レジスト処理)ではウエハに感光剤を塗布する。ステップ16(露光)では上記説明した露光装置によってマスクの回路パターンをウエハに焼付露光する。ステップ17(現像)では露光したウエハを現像する。ステップ18(エッチング)では現像したレジスト像以外の部分を削り取る。ステップ19(レジスト剥離)ではエッチングが済んで不要となったレジストを取り除く。これらのステップを繰り返し行うことによって、ウエハ上に多重に回路パターンが形成される。

【0055】

本実施例の製造方法を用いれば、従来は製造が難しかった高集積度の半導体デバイスを製造することができる。

【0056】

(他の適用例)

なお、本発明の実施形態における画像処理方式は、いずれも明視野照明での画像処理を用いていることから、適用先を露光装置のアライメントに限定することはない。例えば、重ね合わせ検査装置やCD-SEM、AFMといった高精度計測系のプリアライメント時に、本実施形態を適用することも可能である。

【0057】

【発明の効果】

本発明は、位置検出用マーク信号からマークの位置を検出する上で、マークの欠陥やレジスト塗布むらなどのウエハプロセス誤差WIS(Wafer Induced Shift)がある場合においても、処理パラメータを評価基準に従って最適化することにより、そのマークの位置を高精度に位置検出することができるようになる。特に

本発明を半導体露光装置のアライメントに適用した場合は、WISの影響を受けにくくなり、アライメント精度を向上させることができ、ひいては半導体素子製造工程において歩留まりを向上させることができる。

【図面の簡単な説明】

【図 1】

本発明における半導体露光装置の概略を示す図。

【図 2】

本発明における位置検出光学系を示す図。

【図 3】

本発明における位置検出用マークの構造を示す図。

【図 4】

本発明におけるマーク信号の例を示す図。

【図 5】

本発明における従来例を示す図。

【図 6】

本発明における第1の実施形態を説明する図。

【図 7】

本発明における第1の実施形態を説明する図。

【図 8】

本発明における第2の実施形態を説明する図。

【図 9】

本発明における処理のフローチャートを示す図。

【図 10】

半導体デバイスの製造フローを示す図。

【図 11】

ウエハプロセスの詳細なフローを示す図。

【符号の説明】

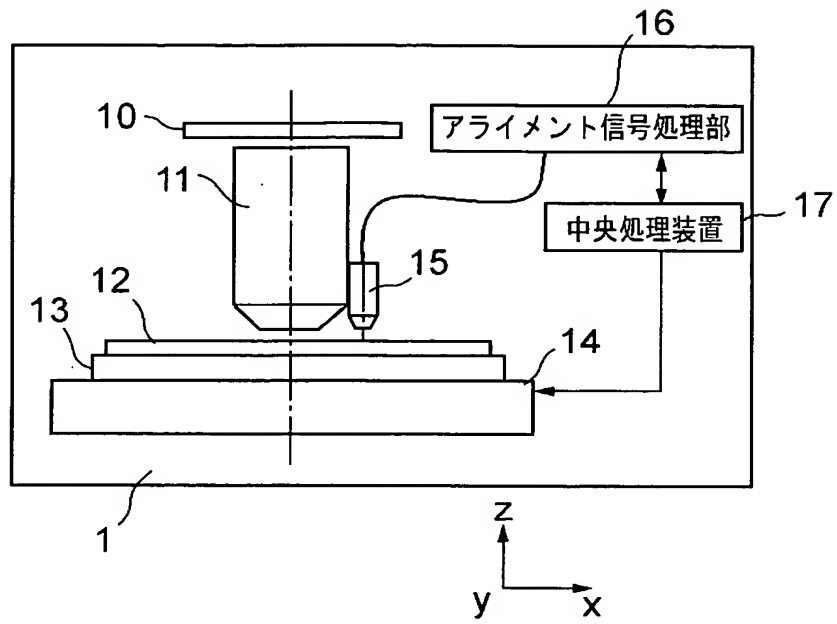
1 半導体露光装置

10 レチクル

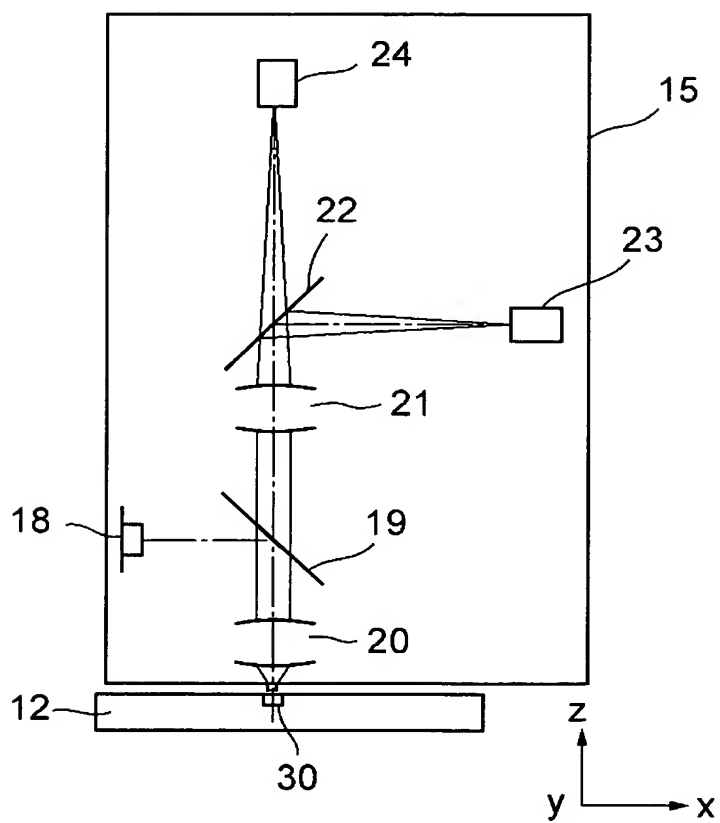
- 1 1 縮小投影光学系
- 1 2 ウエハ
- 1 3 ウエハチャック
- 1 4 ウエハステージ
- 1 5 アライメントスコープ
- 1 6 アライメント信号処理部
- 1 7 中央処理装置
- 1 8 アライメント用光源
- 1 9、2 2 ビームスプリッタ
- 2 0、2 1 レンズ
- 2 3、2 4 CCDセンサ
- 3 0 アライメントマーク

【書類名】 図面

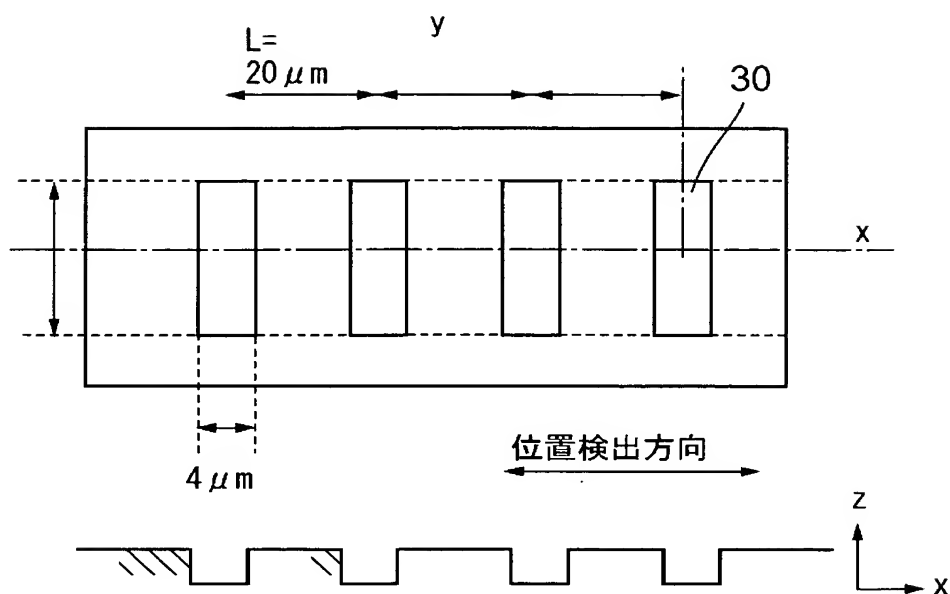
【図 1】



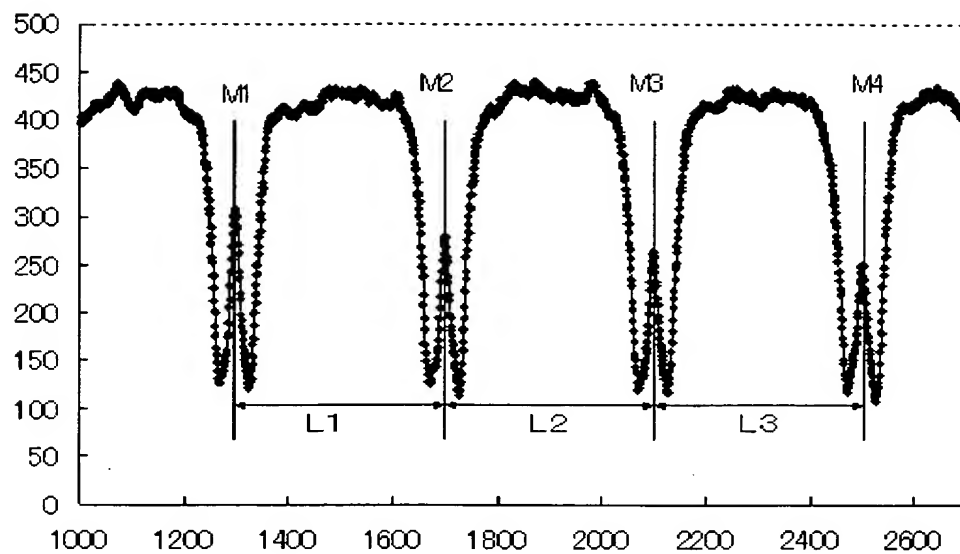
【図 2】



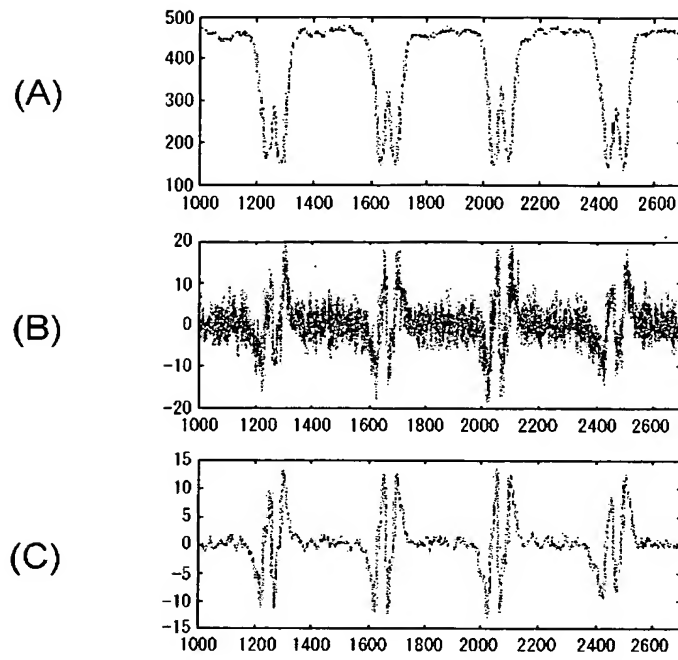
【図 3】



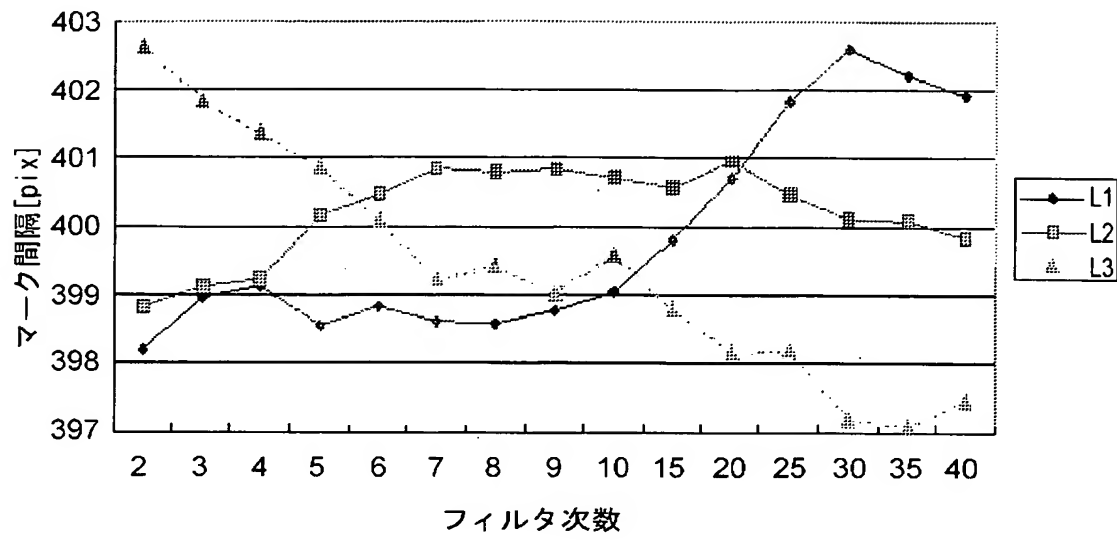
【図 4】



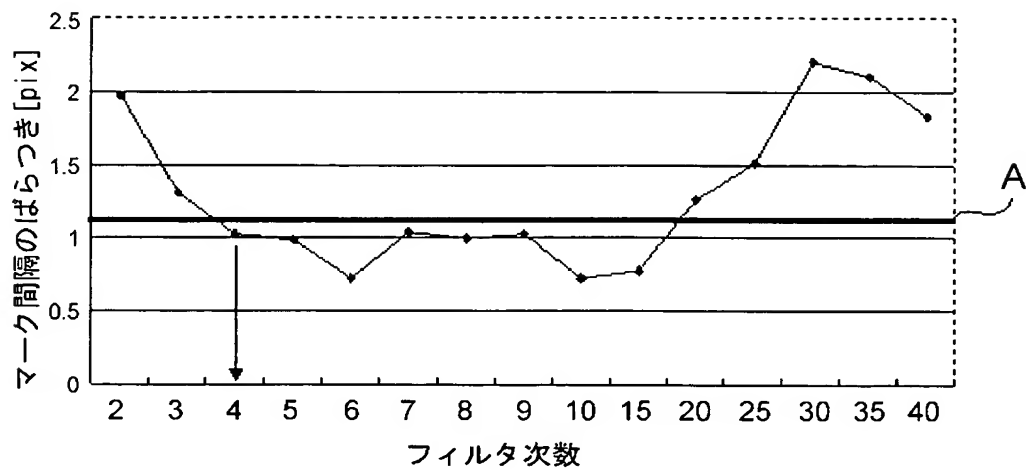
【図 5】



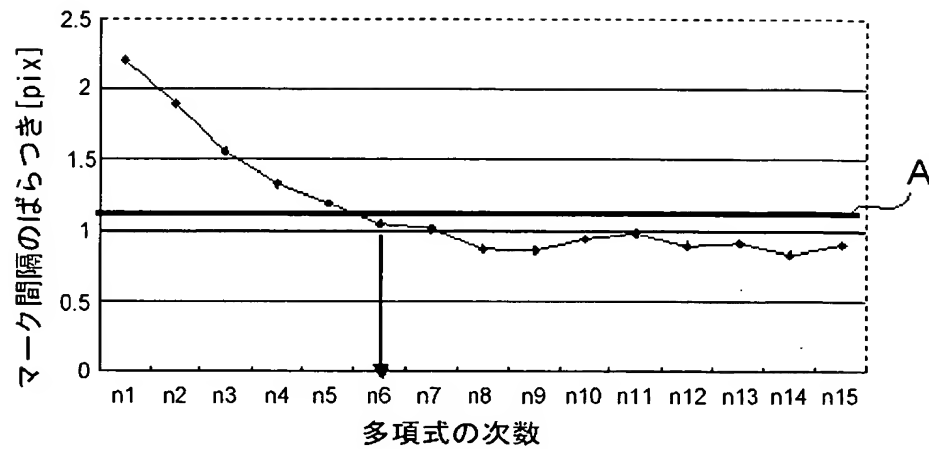
【図 6】



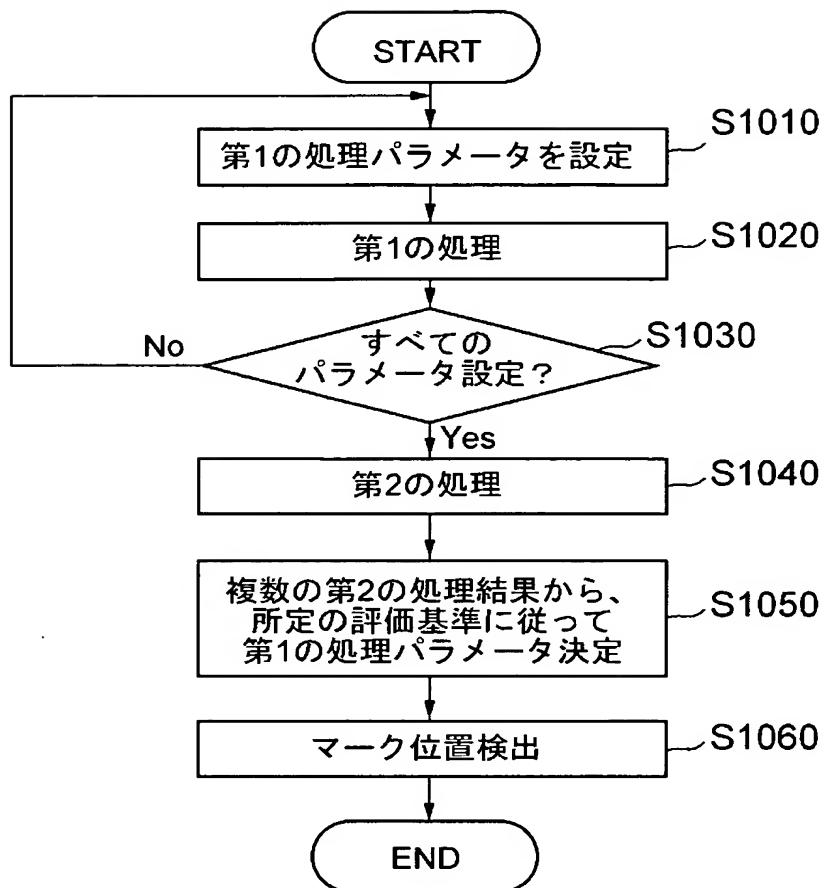
【図 7】



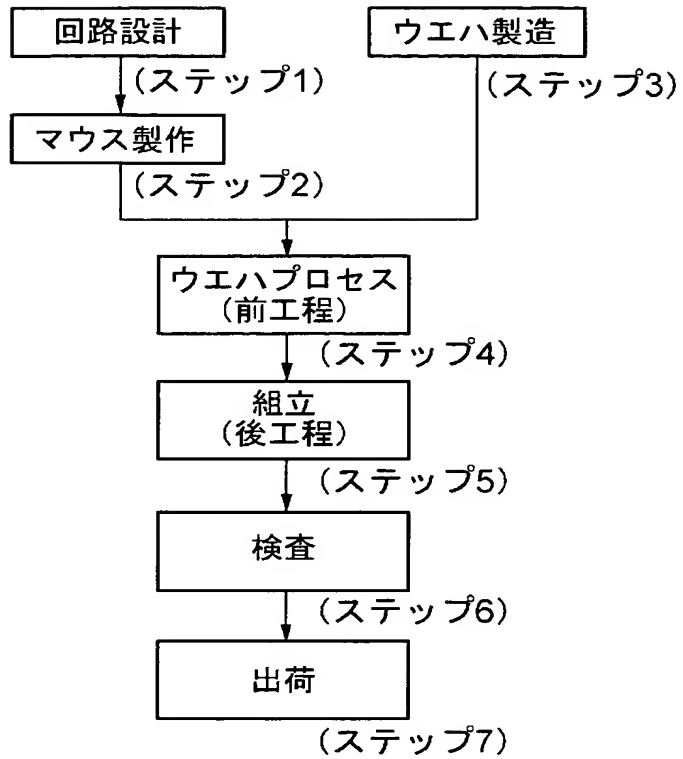
【図 8】



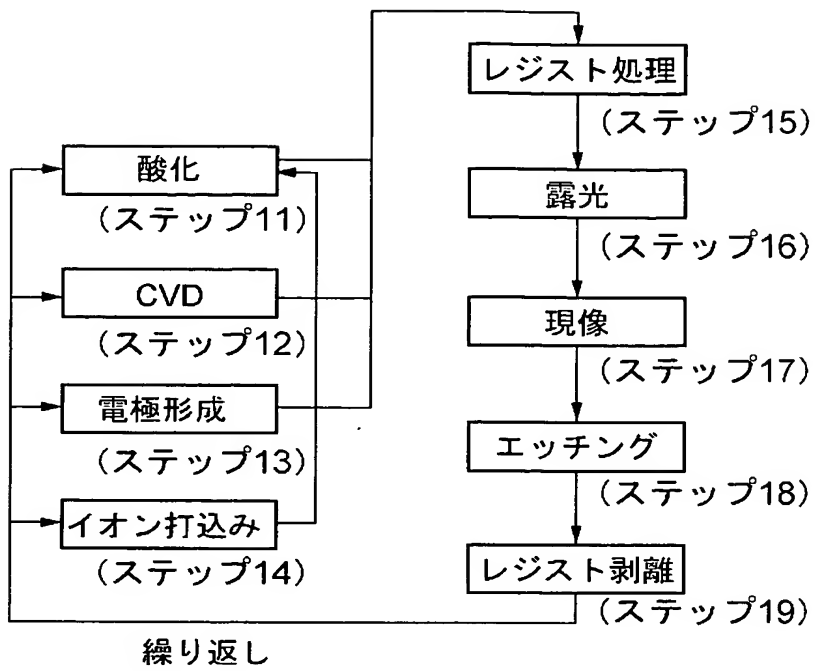
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 アライメントマークの位置を検出する上で、マークの欠陥やレジスト塗布むらなどのウエハプロセス誤差WIS (Wafer Induced Shift) がある場合においても、処理パラメータを評価基準に従って最適化することにより、高精度かつ迅速にアライメントが実行できる位置検出方法を提供すること。

【解決手段】 半導体露光装置のアライメントにおいて、複数の位置検出用マーク信号からマークの位置を検出する位置検出方法であって、位置検出のために必要なパラメータを有する第1の処理部と、第1の処理結果に基づいて行う第2の処理部を有し、第2の複数の処理結果から、所定の評価基準に従って、第1の処理のパラメータを決定することを特徴とする位置検出方法である。

【選択図】 図1

特願 2 0 0 2 - 2 7 7 4 9 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 0 0 7]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キャノン株式会社